

Gruppo Infrarosso di Arcetri

Tabelle dei valori e degli indirizzi dell'elettronica di Giano Versione 1.24

C.Baffa, V.Biliotti, E.Giani

Firenze 3 Novembre 2010

Questo memo riporta gli indirizzi ed i valori delle maschere che sono stati definiti per l'elettronica del progetto Giano. Gli indirizzi sono indirizzi del bus ISA, espressi in Bytes. Dove non specificato tutti i valori sono in esadecimale, così come i valori espressi nella notazione standard del C: 0xD0000.

La zona di memoria interessata è compresa nell'intervallo 0xD0000-0xDFFFF dello spazio di indirizzamento del bus ISA, cui si accede tramite il connettore PC104 tra la scheda CPU e la scheda Buffer.

L'area di memoria è stata suddivisa in due parti: la zona 0xD0000-0xD7FFF è stata riservata all'accesso dei registri e delle funzionalità della scheda buffer, mentre la zona 0xD8000-0xDFFFF è stata riservata all'accesso delle funzionalità delle schede analogiche calde.

Per quanto riguarda le funzionalità delle schede calde, si è deciso di non avere comandi broadcast relativi alla gestione della memoria, mentre vi sarà un registro che permette la partenza contemporanea delle varie schede.

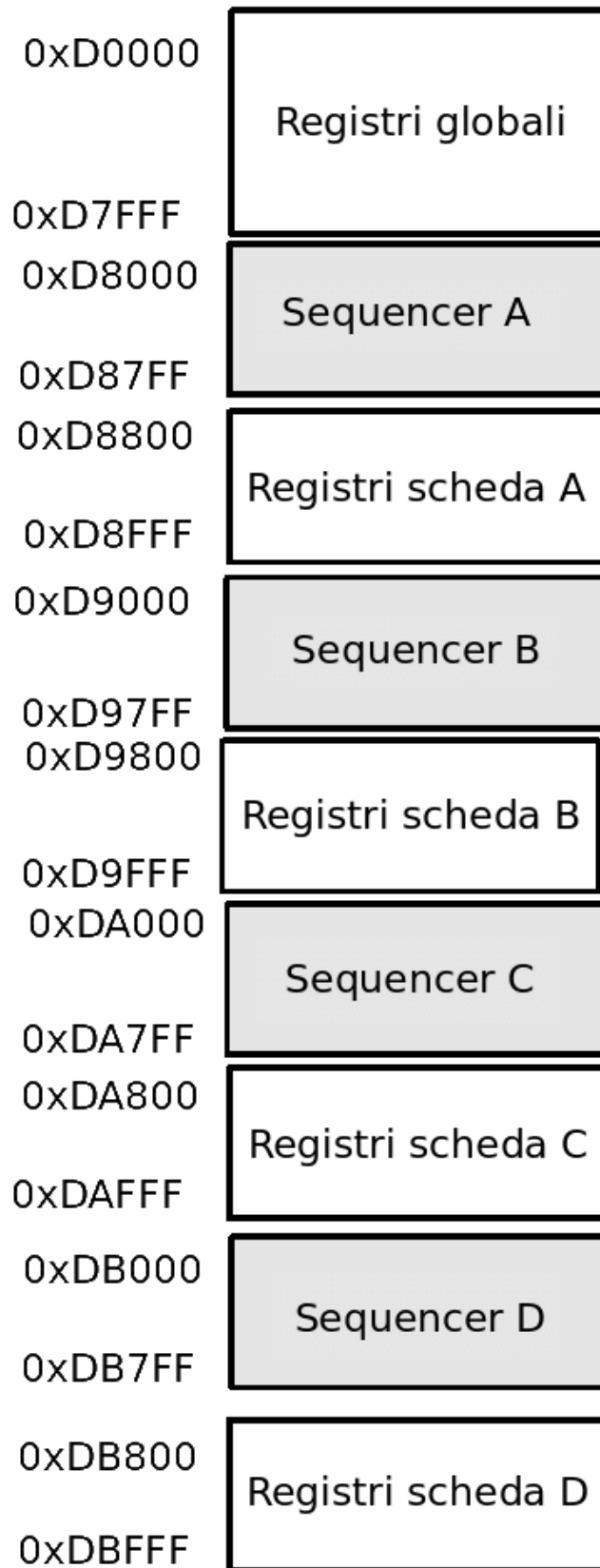


Illustration 1: Struttura dell'area di memoria come vista dal Bus ISA

Area di memoria relativa alla scheda buffer

| Indirizzo Hex | operazione | comando | commento |
|---------------|------------|---------------|---|
| 0xD0000 | READ | ID | Legge il codice identificativo della scheda. |
| 0xD0002 | READ | FIFO STATUS | Legge una word con lo stato delle 4 FIFO: link attivo, fifo in test |
| 0xD0020 | WRITE | KEEP ALIVE A | Scrive una parola da trasmettere sul link ottico del canale A |
| 0xD0022 | WRITE | KEEP ALIVE B | Scrive una parola da trasmettere sul link ottico del canale B |
| 0xD0024 | WRITE | KEEP ALIVE C | Scrive una parola da trasmettere sul link ottico del canale C |
| 0xD0026 | WRITE | KEEP ALIVE D | Scrive una parola da trasmettere sul link ottico del canale D |
| 0xD0028 | WRITE | KEEP ALIVE BR | Scrive una parola da trasmettere broadcast su tutti i canali |
| 0xD0030 | READ | KEEP ALIVE A | Legge una parola ricevuta sul link ottico del canale A |
| 0xD0032 | READ | KEEP ALIVE B | Legge una parola ricevuta sul link ottico del canale B |
| 0xD0034 | READ | KEEP ALIVE C | Legge una parola ricevuta sul link ottico del canale C |
| 0xD0036 | READ | KEEP ALIVE D | Legge una parola ricevuta sul link ottico del canale D |
| 0xD0040/5E | READ | READ DELAY | Legge una parola da 16 registri che inseriscono ritardi. |
| 0xD0060 | WRITE | TEST FIFO A | Comando che fa partire il test della FIFO del canale A |
| 0xD0062 | WRITE | TEST FIFO B | Comando che fa partire il test della FIFO del canale B |
| 0xD0064 | WRITE | TEST FIFO C | Comando che fa partire il test della FIFO del canale C |
| 0xD0066 | WRITE | TEST FIFO D | Comando che fa partire il test della FIFO del canale D |
| 0xD0068 | WRITE | TEST FIFO BR | Comando che fa partire il test della FIFO su tutti i canali |
| 0xD006A | WRITE | RESET FIFO A | Comando che fa il reset della FIFO A |
| 0xD006C | WRITE | RESET FIFO B | Comando che fa il reset della FIFO B |
| 0xD006E | WRITE | RESET FIFO C | Comando che fa il reset della FIFO C |
| 0xD0070 | WRITE | RESET FIFO D | Comando che fa il reset della FIFO D |
| 0xD0072 | WRITE | RESET FIFO BR | Comando broadcast che fa il reset di tutte le FIFO |
| 0xD0080 | READ | LSW FIFO A | Least significant word dei dati presenti nella FIFO A. |
| 0xD0082 | READ | LSW FIFO B | Least significant word dei dati presenti nella FIFO B |
| 0xD0084 | READ | LSW FIFO C | Least significant word dei dati presenti nella FIFO C. |
| 0xD0086 | READ | LSW FIFO D | Least significant word dei dati presenti nella FIFO D |
| 0xD0088 | READ | MSW FIFO A | Most significant word dei dati presenti nella FIFO A. |
| 0xD008A | READ | MSW FIFO B | Most significant word dei dati presenti nella FIFO B |
| 0xD008C | READ | MSW FIFO C | Most significant word dei dati presenti nella FIFO C. |
| 0xD008E | READ | MSW FIFO D | Most significant word dei dati presenti nella FIFO D |
| 0xD0090 | READ | FRAME COUNT A | Legge il contatore di frame A. |
| 0xD0092 | READ | FRAME COUNT B | Legge il contatore di frame B. |
| 0xD0094 | READ | FRAME COUNT C | Legge il contatore di frame C. |
| 0xD0096 | READ | FRAME COUNT D | Legge il contatore di frame D |
| 0xD0098 | READ | DATA A | Legge i dati dalla FIFO A. |
| 0xD009A | READ | DATA B | Legge i dati dalla FIFO B |
| 0xD009C | READ | DATA C | Legge i dati dalla FIFO C. |
| 0xD009E | READ | DATA D | Legge i dati dalla FIFO D |

Area di memoria relativa alle schede analogiche calde

| Indirizzo Hex | operazione | comando | commento |
|---------------|------------|----------------|--|
| 0xD8000 | RD/WR | AREA MEMORIA | Area di memoria scheda A. |
| 0xD8800 | READ | BOARD STATUS | Legge lo stato della scheda A |
| 0xD8802 | WRITE | SEQ ABORT | Interrompe immediatamente la scansione del sequenziatore |
| 0xD8804 | READ | LOG FIFO STAT | Legge lo stato della FIFO con il log delle alimentazioni del canale A |
| 0xD8806 | READ | LOG FIFO | Legge la FIFO con il log delle alimentazioni del canale A |
| 0xD8808 | WRITE | LOG FIFO RESET | Resetta la FIFO A |
| 0xD880A | WRITE | VRESET A | Programma la V_reset del canale A |
| 0xD880C | WRITE | VBIAS A | Programma la V_bias del canale A |
| 0xD8810 | READ | PCOUNTER | Legge il program counter del canale A |
| 0xD8812 | WRITE | OFFSET_1_2 | Programma gli offset 1 e 2 |
| 0xD8814 | WRITE | OFFSET_3_4 | Programma gli offset 3 e 4 |
| 0xD8816 | READ | DIRECT_CONV_A | Lettura diretta (non bufferata) del Convertitore A |
| 0xD8818 | WRITE | SEQ START | Fa partire la scansione del Sequencer |
| 0xD881A | WRITE | SEQ STOP | Ferma il Sequencer al successivo reset |
| 0xD881C | WRITE | DETECTOR ON | Abilita l'alimentazione del quadrante A |
| 0xD881E | WRITE | DETECTOR OFF | Disabilita l'alimentazione del quadrante A |
| 0xD8820 | WRITE | FILTER_1 | Abilita il filtro 1 degli ADC |
| 0xD8822 | WRITE | FILTER_2 | Abilita il filtro 2 degli ADC |
| 0xD8824 | READ | BOARD A ID | Legge l'identificativo della scheda calda (i 4 LSB) |
| 0xD8826 | WRITE | FSYNC_TIM | Specifica la durata dello FSYNC e del tempo di idle seguente. |
| 0xD8828 | WRITE | LSYNC_TIM | Specifica la durata dello LSYNC e del tempo di idle seguente. |
| 0xD882A | WRITE | STOP_CI | Ferma il sequencer alla istruzione corrente |
| | | | |
| 0xD9800 | READ | BOARD STATUS | Legge lo stato della scheda B. |
| 0xD9802 | WRITE | SEQABORT | Interrompe immediatamente la scansione del sequenziatore |
| 0xD9804 | READ | LOG FIFO STAT | Legge lo stato della FIFO con il log delle alimentazioni del canale B. |
| 0xD9806 | READ | LOG FIFO | Legge la FIFO con il log delle alimentazioni del canale B. |
| 0xD9808 | WRITE | LOG FIFO RESET | Resetta la FIFO B |
| 0xD980A | WRITE | VRESET B | Programma la V_reset del canale B |
| 0xD980C | WRITE | VBIAS B | Programma la V_bias del canale B |
| 0xD9810 | READ | PCOUNTER | Legge il program counter del canale B |
| 0xD9812 | WRITE | OFFSET_1_2 | Programma gli offset 1 e 2 |
| 0xD9814 | WRITE | OFFSET_3_4 | Programma gli offset 3 e 4 |
| 0xD9816 | READ | DIRECT_CONV_B | Lettura diretta (non bufferata) del Convertitore B |
| 0xD9818 | WRITE | SEQ START | Fa partire la scansione del Sequencer |
| 0xD981A | WRITE | SEQ STOP | Ferma il Sequencer al successivo reset |
| 0xD981C | WRITE | DETECTOR ON | Abilita l'alimentazione del quadrante B |
| 0xD981E | WRITE | DETECTOR OFF | Disabilita l'alimentazione del quadrante B |
| 0xD9820 | WRITE | FILTER_1 | Abilita il filtro 1 degli ADC |
| 0xD9822 | WRITE | FILTER_2 | Abilita il filtro 2 degli ADC |
| 0xD9824 | READ | BOARD B ID | Legge l'identificativo della scheda calda (i 4 LSB) |
| 0xD9826 | WRITE | FSYNC_TIM | Specifica la durata dello FSYNC e del tempo di idle seguente. |

| | | | |
|---------|-------|----------------|--|
| 0xD9828 | WRITE | LSYNC_TIM | Specifica la durata dello LSYNC e del tempo di idle seguente. |
| 0xD892A | WRITE | STOP_CI | Ferma il sequencer alla istruzione corrente |
| | | | |
| 0xDA800 | READ | BOARD STATUS | Legge lo stato della scheda C. |
| 0xDA802 | WRITE | SEQABORT | Interrompe immediatamente la scansione del sequenziatore |
| 0xDA804 | READ | LOG FIFO STAT | Legge lo stato della FIFO con il log delle alimentazioni del canale C. |
| 0xDA806 | READ | LOG FIFO | Legge la FIFO con il log delle alimentazioni del canale C. |
| 0xDA808 | WRITE | LOG FIFO RESET | Resetta la FIFO C |
| 0xDA80A | WRITE | VRESET C | Programma la V_reset del canale C |
| 0xDA80C | WRITE | VBIAS C | Programma la V_bias del canale C |
| 0xDA810 | READ | PCOUNTER | Legge l il program counter del canale C |
| 0xDA812 | WRITE | OFFSET_1_2 | Programma gli offset 1 e 2 |
| 0xDA814 | WRITE | OFFSET_3_4 | Programma gli offset 3 e 4 |
| 0xDA816 | READ | DIRECT_CONV_C | Lettura diretta (non bufferata) del Convertitore C |
| 0xDA818 | WRITE | SEQ START | Fa partire la scansione del Sequencer |
| 0xDA81A | WRITE | SEQ STOP | Ferma il Sequencer al successivo reset |
| 0xDA81C | WRITE | DETECTOR ON | Abilita l'alimentazione del quadrante C |
| 0xDA81E | WRITE | DETECTOR OFF | Disabilita l'alimentazione del quadrante C |
| 0xDA820 | WRITE | FILTER_1 | Abilita il filtro 1 degli ADC |
| 0xDA822 | WRITE | FILTER_2 | Abilita il filtro 2 degli ADC |
| 0xDA824 | READ | BOARD C ID | Legge l'identificativo della scheda calda (i 4 LSB) |
| 0xDA826 | WRITE | FSYNC_TIM | Specifica la durata dello FSYNC e del tempo di idle seguente. |
| 0xDA828 | WRITE | LSYNC_TIM | Specifica la durata dello LSYNC e del tempo di idle seguente. |
| 0xDA82A | WRITE | STOP_CI | Ferma il sequencer alla istruzione corrente |
| | | | |
| 0xDB800 | READ | BOARD STATUS | Legge lo stato della scheda D. |
| 0xDB802 | WRITE | SEQABORT | Interrompe immediatamente la scansione del sequenziatore |
| 0xDB804 | READ | LOG FIFO STAT | Legge lo stato della FIFO con il log delle alimentazioni del canale D. |
| 0xDB806 | READ | LOG FIFO | Legge la FIFO con il log delle alimentazioni del canale D. |
| 0xDB808 | WRITE | LOG FIFO RESET | Resetta la FIFO D |
| 0xDB80A | WRITE | VRESET D | Programma la V_reset del canale D |
| 0xDB80C | WRITE | VBIAS D | Programma la V_bias del canale D |
| 0xDB810 | READ | PCOUNTER | Legge l il program counter del canale D |
| 0xDB812 | WRITE | OFFSET_1_2 | Programma gli offset 1 e 2 |
| 0xDB814 | WRITE | OFFSET_3_4 | Programma gli offset 3 e 4 |
| 0xDB816 | READ | DIRECT_CONV_D | Lettura diretta (non bufferata) del Convertitore D |
| 0xDB818 | WRITE | SEQ START | Fa partire la scansione del Sequencer |
| 0xDB81A | WRITE | SEQ STOP | Ferma il Sequencer al successivo reset |
| 0xDB81C | WRITE | DETECTOR ON | Abilita l'alimentazione del quadrante D |
| 0xDB81E | WRITE | DETECTOR OFF | Disabilita l'alimentazione del quadrante D |
| 0xDB820 | WRITE | FILTER_1 | Abilita il filtro 1 degli ADC |
| 0xDB822 | WRITE | FILTER_2 | Abilita il filtro 2 degli ADC |
| 0xDB824 | READ | BOARD D ID | Legge l'identificativo della scheda calda (i 4 LSB) |
| 0xDB826 | WRITE | FSYNC_TIM | Specifica la durata dello FSYNC e del tempo di idle seguente. |

| | | | |
|---------|-------|-----------|---|
| 0xDB828 | WRITE | LSYNC_TIM | Specifica la durata dello LSYNC e del tempo di idle seguente. |
| 0xDB82A | WRITE | STOP_CI | Ferma il sequencer alla istruzione corrente |
| 0xDB82C | WRITE | RESCLK | Programma i parametri del segnale RESET e RESETN |

Definizione di valori o Maschere

| Valore Hex | Nome | commento |
|------------|---------------|--|
| 0xFFFF | ISA_WINSIZE | Area di memoria totale delle schede di interfaccia |
| 0xD0000 | ISA_BASE | Indirizzo di partenza finestra di accesso alle schede di interfaccia |
| 0xDC000 | WR_BROADCAST | Indirizzo dello spazio di indirizzamento broadcast schede analogiche |
| 0x400 | ADC_RAMSIZE | Dimensioni della memoria di sequenza (In word). |
| 0x1000 | BRD_ADDR_STEP | Offset in bytes tra gli indirizzi dei registri delle schede analogiche calde |
| 0x0002 | REG_OFFSET | Offset in bytes tra gli indirizzi dei registri della scheda di interfaccia |
| | | |
| 0x8000 | FIFO_OVERFLOW | Maschera status FIFO per lo Overflow |
| 0x4000 | FIFO_READY | Maschera status FIFO pronta |
| 0x2000 | FIFO_ORDIGIT | Maschera status FIFO per lo OR dei bit alti del contatore dati |
| 0x1FFF | FIFO_LSW_DAT | Maschera contatore dati presenti (Least Significant Digits) |
| 0x03FF | FIFO_MSW_DAT | Maschera contatore dati presenti (Most Significant Digits) |
| | | |
| 0x0010 | SENSOR_STATUS | Maschera di accensione del sensore (0 = on 1 = off) |
| 0x8000 | FILTER_ACTIVE | Maschera di selezione del filtro |
| 0x4000 | READING_PIXEL | Maschera di lettura dello stato READ del program counter |
| 0x0800 | INTEGRATING | Maschera di lettura dello stato INTEGRATING del program counter |
| 0x00F0 | LINK_STATUS | Maschera di lettura dello stato del link ottico |
| | | |
| 0x0000 | RESET | Istruzione di programma: reset o reset + read |
| 0x4000 | READ | Istruzione di programma: read |
| 0x8000 | INTEG | Istruzione di programma: integrazione |
| 0xC000 | RESTART | Istruzione di programma: restart |
| | | |

Descrizione dei registri della scheda buffer

Registro FIFO STATUS (offset 2)

Questo registro a 16 bit contiene alcune informazioni relative allo stato delle 4 fifo della scheda di interfaccia.

In particolare:

| | | | | | | | | |
|---------------|-------|-------|-------|-------|-------|-------|-------|-------|
| BIT 15- BIT 8 | BIT 7 | BIT 6 | BIT 5 | BIT 4 | BIT 3 | BIT 2 | BIT 1 | BIT 0 |
|---------------|-------|-------|-------|-------|-------|-------|-------|-------|

- BIT 15 : errore durante la ricezione dei dati nel link D
- BIT 14 : errore durante la ricezione dei dati nel link C
- BIT 13 : errore durante la ricezione dei dati nel link B
- BIT 12 : errore durante la ricezione dei dati nel link A
- BIT 11 : errore nel link della scheda D
- BIT 10 : errore nel link della scheda C
- BIT 9 : errore nel link della scheda B
- BIT 8 : errore nel link della scheda A
- BIT 7 : indica lo stato del link ottico della scheda D. Se vale 1 funziona correttamente.
- BIT 6 : indica lo stato del link ottico della scheda C. Se vale 1 funziona correttamente.
- BIT 5 : indica lo stato del link ottico della scheda B. Se vale 1 funziona correttamente.
- BIT 4 : indica lo stato del link ottico della scheda A. Se vale 1 funziona correttamente.
- BIT 3 : se vale indica che la FIFO D sta eseguendo il test
- BIT 2 : se vale indica che la FIFO C sta eseguendo il test
- BIT 1 : se vale indica che la FIFO B sta eseguendo il test
- BIT 0 : se vale indica che la FIFO A sta eseguendo il test

I sette bit piú significativi si resettano dopo la lettura, per cui il loro significato è: si è verificato un errore nel link (o durante la ricezione dei dati) dalla precedente lettura. I bit da 0 a 7 non sono auto resettanti.

Registro RESET FIFOA/B/C/D/BR (offset 6A/6C/6E/70/72)

Questi registri eseguono il reset delle singole FIFO, oppure di tutte e quattro contemporaneamente (comando broadcast) quando viene scritto il valore 0 nel relativo registro.

Se invece viene scritto il valore 1, oltre a essere eseguito il reset, la scheda buffer abilita il controllo dell'immagine di test ricevuta (vedi Registro Start Sequencer).

Se i valori dei pixels ricevuti non sono uguali a quelli prodotti dal test, la scheda buffer pone a 1 il bit piu significativo nel valore del pixel.

Registro LSW FIFO (offset 80) e MSW FIFO (offset 88)

Questi registri contengono le informazioni relative alla profondità della FIFO di dati.

Il registro LSW FIFO è un registro a 16 bit e contiene la seguente serie di informazioni:

| | | | |
|--------|--------|--------|----------------|
| BIT 15 | BIT 14 | BIT 13 | BIT 12 – BIT 0 |
|--------|--------|--------|----------------|

- BIT 15: indica l'overflow della FIFO. **Il bit viene resettato con la lettura del registro.**
- BIT 14: indica se la FIFO è pronta per la lettura.
NB: Quando la FIFO risulta pronta, essa contiene almeno 1 dato corrispondente a quello presente nel registro temporaneo. Quindi al valore ottenuto dai 13 bit meno significativi, va aggiunto 1.
- BIT 13: contiene l'OR dei bit del registro LSW FIFO e MSW FIFO. Se il valore è 0, allora il numero dei dati nella FIFO

è il risultato dei restanti 13 bit. Questo significa che abbiamo un numero di *word* presenti nella FIFO inferiore a 8192. Se il valore del bit 13 è 1, allora il numero di parole presenti nella FIFO è dato dalla combinazione degli ultimi 11 bit meno significativi del registro MSW FIFO e dei restanti 13 bit del registro LSW FIFO.

- BIT12-BIT0: numero di dati presenti nella FIFO

Registro DATA (offset 98)

Questo registro consente l'accesso alla FIFO dei dati.

Ogni riga di ogni quadrante dell'immagine ha un *header* formato da quattro parole:

| | | | |
|------|--------------|-------------|------|
| FFFF | numero frame | numero riga | 0000 |
|------|--------------|-------------|------|

- ✓ la prima parola è FFFF e indica l'inizio dell'intestazione
- ✓ la seconda è il conteggio del numero dei frame arrivati, conteggio che parte da 0 col reset iniziale o col test della memoria. Il contatore progressivo di frame è di tipo pre-incremento, in altre parole il primo frame ricevuto (dopo il reset) viene etichettato con il numero 1.
- ✓ la terza parola è il conteggio progressivo delle righe: il contatore progressivo di riga è di tipo pre-incremento, cioè la prima riga è etichettata con il numero 1.
- ✓ la quarta parola è 0000 e indica la fine dell'intestazione

Una logica dedicata comprime la dinamica dei dati da 0-65535 a 1-65534 in modo da essere certi che i valori 0 e 65535 non possono essere dei pixel.

Descrizione dei registri della scheda analogica

Registro di Stato della scheda (offset 800)

I 16 bit del Registro di Stato hanno il seguente significato:

| | | | | | | | | | | | | | | | |
|--------|--------|--------|--------|--------|--------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|
| BIT 15 | BIT 14 | BIT 13 | BIT 12 | BIT 11 | BIT 10 | BIT 9 | BIT 8 | BIT 7 | BIT 6 | BIT 5 | BIT 4 | BIT 3 | BIT 2 | BIT 1 | BIT 0 |
|--------|--------|--------|--------|--------|--------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|

I bit da 0 a 4 indicano la presenza (0) o assenza (1) delle alimentazioni. In particolare:

- BIT 0: Vcc OPTO
- BIT 1: +5V
- BIT 2: +VA
- BIT 3: -VA
- BIT 4: Vcc sensor
- I bit dal 5 al 10 indicano la presenza (1) dei seguenti errori:
- BIT 5: errore nel convertitore DA del Vreset, Vbias
- BIT 6: errore nel convertitore DA degli offset
- BIT 7: errore nel decodere degli indirizzi (ha visto un indirizzo NON CONSENTITO)
- BIT 8: errore nel convertitore AD
- BIT 9: errore nell'uscita negativa dell'amplificatore differenziale
- BIT 10: errore nell'uscita positiva dell'amplificatore differenziale
- BIT 11 – BIT 13 non hanno significato. Sono una replica dei bit da 5 a 8.
- BIT 14: se 1 indica che il sequencer è in funzione.
- BIT 15: fornisce l'informazione sul filtro selezionato. Se vale 0 è attivo il filtro A, se vale 1 è attivo il filtro B.

Registro LOG FIFO (offset 808)

Questo registro consente l'accesso alla FIFO di log. Questa FIFO contiene dati a 16 bit con le informazioni sulle alimentazioni. Il dato letto dalla FIFO di log è organizzato nel seguente modo:

| | | | | | |
|-------|--------|-------|--------|--------|----------------|
| BIT15 | BIT 14 | BIT13 | BIT 12 | BIT 11 | BIT 10 – BIT 0 |
|-------|--------|-------|--------|--------|----------------|

- BIT 15: Vcc opto isolatori
 - BIT 14: +5V
 - BIT 13: +9V
 - BIT 12: -3V
 - BIT 11: Vcc sensore
- NB: Il valore del bit uguale a 0 significa che l'alimentazione corrispondente è presente.**
- BIT 0 – BIT 10: gli 11 bit meno significativi danno le informazioni sul tempo espresso in quarti di millisecondo (0.25 ms) a partire dall'istante iniziale (accensione).

Program Counter (offset 810)

I 16 bit del registro del Program Counter hanno il seguente significato:

| | | | | | | |
|--------|--------|-------|--------|--------|--------|---------------|
| BIT 15 | BIT 14 | BIT13 | BIT 12 | BIT 11 | BIT 10 | BIT 9 – BIT 0 |
|--------|--------|-------|--------|--------|--------|---------------|

- BIT 15: No sample
- BIT 14: Read pixel
- BIT 13: Reset-Read
- BIT 12: Short Reset
- BIT 11: Integra
- BIT 10: Extra Pixel
- BIT 0 - BIT 9: Program Counter

Registro Start Sequencer A/B/C/D(offset 818)

Registro Start Sequencer Broadcast (offset 818 from 0x0DC000)

La scrittura di questo registro abilita la partenza del sequencer quando il valore scritto nel registro è uguale a 0.

Se il valore scritto nel registro è 1 oltre all'abilitazione del sequencer, viene generata un' immagine di test internamente da parte della scheda buffer.

Questa immagine è prodotta in modo che i valori dei pixels di ogni riga assumano valori da 1 fino a 2048.

Registro di identificativo della scheda (offset 824)

I 16 bit del Registro di Stato hanno il seguente significato:

| | | |
|-----------------|--------|----------------|
| BIT 15 – BIT 12 | BIT 11 | BIT 10 – BIT 0 |
|-----------------|--------|----------------|

- BIT 15 – BIT 12: numero identificativo della scheda analogica
- BIT 11: se vale 1 significa che la scheda ha trovato almeno un errore nel link ottico durante la ricezione di un comando. È un bit che si autoresetta dopo la lettura, per cui il suo significato esatto è: c'è stato almeno un errore durante la ricezione di un dato o comando.

- BIT 10 – BIT 0: rappresentano il conteggio (11 bit, 2047 il totale, dopodichè riparte da zero), di quanti errori si sono verificati dalla precedente lettura. Anche questo si autoresetta dopo la lettura, ma tiene conto di tutti gli errori: sia quelli rilevati durante la ricezione dei dati (o comandi), sia quelli rilevati nel keep-alive on-line. Questo dato può fornirci la misura esatta del Bit Error Rate.

Registro dei Timings di FSYNC (offset 826)

I 16 bit del Registro di Stato hanno il seguente significato:

| | |
|-----------------|----------------|
| BIT 15 – BIT 12 | BIT 11 – BIT 0 |
|-----------------|----------------|

- BIT 15 – BIT 12: durata dei due stati dello FSYNC: (2+valore indicato) μ sec basso ed un tempo uguale alto.
- BIT 12 – BIT 0: durata dello stato quiescente dopo lo FSYNC: (2+valore indicato) μ sec basso (max 4 msec).

Questo registro viene resettato a 0 dopo un Abort.

Registro dei Timings di LSYNC (offset 828)

I 16 bit del Registro di Stato hanno il seguente significato:

| | |
|-----------------|----------------|
| BIT 15 – BIT 12 | BIT 11 – BIT 0 |
|-----------------|----------------|

- BIT 15 – BIT 12: durata dei due stati dello LSYNC: (2+valore indicato) μ sec basso ed un tempo uguale alto.
- BIT 12 – BIT 0: durata dello stato quiescente dopo lo LSYNC: (2+valore indicato) μ sec basso (max 4 msec).

Questo registro viene resettato a 0 dopo un Abort.

Registro (offset 82A) Stop Sequencer on Current Istruction

La scrittura di questo registro esegue lo stop del sequencer in corrispondenza dell'istruzione corrente.

Registro (offset 82C) Temporizzazione dei reset

La scrittura di questo registro programma i parametri del segnale di RESET e RESETN. Quest'ultimo dovrebbe rappresentare il segnale di reset per le righe del solo multiplexer.

La *word* che viene scritta determina la durata del segnale RESET, la durata dell'intervallo di tempo compreso tra RESET e il segnale RESETN, la durata del segnale RESETN e la durata dell'intervallo di tempo tra RESETN e l'inizio dei clock di lettura.

DURATA DEL SEGNALE DI RESET

La durata del segnale di RESET si ottiene sommando 1 μ sec (valore di default) al dato rappresentato dai 4 bit più significativi della parola: **12 - 15**.

Ogni bit "pesa" 1 μ sec.

Esempio: il valore 0101 (= 5) corrisponde alla durata dell'impulso di reset uguale a **6** μ sec (1 default + 5 scritti).

DURATA DEL SEGNALE DI POST_RESET

La durata dell'intervallo di tempo compreso tra il segnale RESET e il segnale RESETEN (POST_RESET) si ottiene sommando 1/2 μ sec (valore di default) al dato rappresentato dai 4 bit **8-11** della parola.

Ogni bit "pesa" 1 μ sec.

Esempio: il valore 0111 (=7) corrisponde a un intervallo di tempo dopo il reset pari a **7,5** μ sec (0,5 default + 7 scritti).

DURATA DEL SEGNALE DI RESETN

La durata del segnale RESETEN si ottiene sommando 1 μsec (valore di default) al dato rappresentato dai 4 bit **4-7** della parola.

Ogni bit "pesa" 1 μsec .

Esempio: il valore 1001 (=9), corrisponde a una durata dell'impulso di reset pari a **9** μsec .

Se invece il valore programmato è 0000, la durata sarà ovviamente 0 μsec : in questo modo non si genera il segnale RESETEN.

DURATA DEL SEGNALE DI POST_RESETEN

La durata dell'intervallo di tempo compreso tra il segnale RESETEN e l'inizio dei CLOCK di lettura (POST_RESETEN) si ottiene sommando 1/2 μsec (valore di default) al dato rappresentato dai 4 bit **0-3** della parola.

Ogni bit "pesa" 1 μsec .

Esempio: il valore programmato 0011 (=3), corrisponde a una durata dell'intervallo di tempo dopo il RESETEN pari a **3,5** μsec (0,5 default + 7 scritti).

In questo tipo di organizzazione la presenza o meno del segnale RESETEN viene quindi stabilita via software.

Istruzioni di programma

I primi due bit dell'istruzione indicano il tipo di operazione (vedi tabella). I restanti 14 bit sono considerati in modo diverso a seconda del tipo di operazione.

SHORT RESET

I 14 bit restanti sono interpretati come due gruppi di 7 bit. Il gruppo di bit da 0 a 6 non sono significativi, mentre quelli da 7 a 13 sono tutti 0

RESET-READ / READ

Per le operazioni di Reset-Read e Read i bit da 7 a 13 forniscono la durata del semiperiodo di clock secondo la formula:

$$(Val + 16) * 62.5 ns; Val < 2^7$$

La commutazione del pixel si ha sempre sul fronte di salita del clock di pixel per cui il tempo di lettura del pixel è esattamente il doppio di questo valore. Il valore minimo si ha per $Val = 0$ e corrisponde esattamente a $2 \mu s$.

Il gruppo dei bit da 0 a 6 rappresenta invece il ritardo di campionamento rispetto al clock (in particolare il ritardo rispetto al fronte di discesa del clock di pixel), calcolato usando la formula precedente.

Se questo valore risulta maggiore di quello ottenuto con i 7 bit più significativi, otteniamo una lettura senza conversione.

Il gruppo dei bit da 0 a 6 rappresenta invece il ritardo di campionamento rispetto al clock (in particolare il ritardo rispetto al fronte di discesa del clock di pixel), calcolato usando la formula precedente.

Se questo valore risulta maggiore di quello ottenuto con i 7 bit più significativi, otteniamo una lettura senza conversione.

Il ritardo di campionamento rispetto alla commutazione del pixel è dato da questo più il semiperiodo di clock.

INTEGRAZIONE

Nell'istruzione di Integrazione, il campo dei 14 bit rimanenti costituisce il tempo di integrazione, il cui valore è calcolato nel seguente modo:

$$(Val + 1) * 10 ms; Val < 2^{14}$$

N.B

Il tempo minimo di integrazione (tutti i 14 bit uguali a zero) è 10 ms.

RESTART

Per l'istruzione Restart i 14 bit restanti non sono significativi.

Priorità dei comandi

I comandi di lettura dei registri di memoria relativi alle schede analogiche calde, hanno priorità assoluta su tutto il resto, **tranne** che sulla trasmissione dei dati.

Se, durante la trasmissione dei dati verso la scheda buffer, il sistema riceve un comando di lettura di un registro (ad es. lettura della fifo di log, lettura dello stato etc.), il sistema finisce di trasmettere i dati e successivamente esegue la lettura richiesta.

La priorità di lettura dei comandi, in ordine decrescente, è la seguente:

- comando
- inizio frame
- inizio riga
- pixel